

Docket No.: 60188-657

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Minoru OKAMOTO	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 22, 2003	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD FOR FABRICATING THE SAME		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-355856, filed December 6, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:tlb
Facsimile: (202) 756-8087
Date: September 22, 2003

60188-657
September 27, 2003
OKAMOTO

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年12月 6日

出 願 番 号

Application Number:

特願2002-355856

[ST.10/C]:

[JP2002-355856]

出 願 人

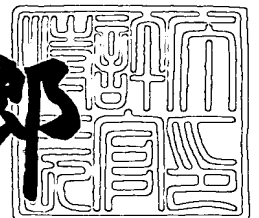
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030848

【書類名】 特許願

【整理番号】 5038240008

【提出日】 平成14年12月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 岡本 稔

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置および半導体集積回路装置の製造方法

【特許請求の範囲】

【請求項 1】 デジタル回路とアナログ回路とを同一半導体チップ内に集積する半導体集積回路において、

前記デジタル回路に接続され、入力されたデジタル信号の影響によって前記デジタル回路に生じる静電破壊を保護する第 1 の静電破壊保護回路と、

前記アナログ回路に接続され、入力されたアナログ信号の影響によって前記アナログ回路に生じる静電破壊を保護する第 2 の静電破壊保護回路とを備え、

前記第 1 の静電破壊保護回路に接続される第 1 の接地線と、前記第 2 の静電破壊保護回路に接続される第 2 の接地線とは、前記半導体集積回路の外部で接続されている

ことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 に記載の半導体集積回路装置において、

前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路のパッケージ基板の内部で接続されている

ことを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 に記載の半導体集積回路装置において、

前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路のパッケージ基板の外部で接続されている

ことを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 に記載の半導体集積回路装置において、

前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路のパッケージ基板の外部で、容量を介して、接続されている

ことを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 に記載の半導体集積回路装置において、

前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路と前記半導体集積回路のパッケージ基板とを電氣的に接続するための部分を介して、接続されている

ことを特徴とする半導体集積回路装置。

【請求項 6】 デジタル回路とアナログ回路とを同一半導体チップ内に集積する半導体集積回路において、

入力されたデジタル信号の影響によって生じる静電破壊を保護する第 1 の静電破壊保護回路に接続された前記デジタル回路と、入力されたアナログ信号の影響によって前記アナログ回路に生じる静電破壊を保護する第 2 の静電破壊保護回路に接続された前記アナログ回路とが仕様通りに動作するか否かを判断する回路検査ステップと、

前記回路検査ステップにおいて、前記デジタル回路と前記アナログ回路とがともに仕様通りに動作すると判断した場合に、静電破壊が生じるか否かを前記デジタル回路と前記アナログ回路とに対して判断する静電破壊検査ステップと、

前記静電破壊検査ステップにおいて、前記デジタル回路と前記アナログ回路との少なくとも一方に静電破壊が生じると判断した場合に、前記第 1 の静電破壊保護回路に接続される第 1 の接地線と、前記第 2 の静電破壊保護回路に接続される第 2 の接地線とを、前記半導体集積回路の外部で接続する外部接続ステップとを備える

ことを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とを、前記半導体集積回路のパッケージ基板の内部で接続するステップである

ことを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とを、前記半導体集積回路のパッケージ基板の外部で接続するステップである

ことを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とを、前記半導体集積回路のパッケージ基板の外部で、容量を介して、接続するステップである

ことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 0】 請求項 6 に記載の半導体集積回路装置の製造方法において

前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路と前記半導体集積回路のパッケージ基板とを電氣的に接続するための部分を介して、接続するステップである

ことを特徴とする半導体集積回路装置の製造方法。

【請求項 1 1】 第 1 のデジタル回路と第 1 のアナログ回路とを同一半導体チップ内に集積する第 1 の半導体集積回路のパッケージ基板内部において、入力されたデジタル信号の影響によって前記第 1 のデジタル回路に生じる静電破壊を保護する第 1 の静電破壊保護回路に接続された第 1 の接地線と、入力されたアナログ信号の影響によって前記第 1 のアナログ回路に生じる静電破壊を保護する第 2 の静電破壊保護回路に接続された第 2 の接地線とが接続されない第 1 のパッケージ基板を作成する第 1 のパッケージ作成ステップと、

第 2 のデジタル回路と第 2 のアナログ回路とを同一半導体チップ内に集積する第 2 の半導体集積回路のパッケージ基板内部において、入力されたデジタル信号の影響によって前記第 2 のデジタル回路に生じる静電破壊を保護する第 3 の静電破壊保護回路に接続された第 3 の接地線と、入力されたアナログ信号の影響によって前記第 2 のアナログ回路に生じる静電破壊を保護する第 4 の静電破壊保護回路に接続された第 4 の接地線とが接続された第 2 のパッケージ基板を作成する第 2 のパッケージ作成ステップと、

前記第 1 のデジタル回路と前記第 1 のアナログ回路とが仕様通りに動作するか否かを判断する第 1 の回路検査ステップと、前記第 1 の回路検査ステップにおいて前記第 1 のデジタル回路と前記第 1 のアナログ回路とがともに仕様通りに動作すると判断した場合に、静電破壊が生じるか否かを前記第 1 のデジタル回路と前記第 1 のアナログ回路に対して判断する第 1 の静電破壊検査ステップとを含む、前記第 1 のパッケージ作成ステップの後に行う第 1 の L S I 検査ステップと、

前記第 2 のデジタル回路と前記第 2 のアナログ回路とが仕様通りに動作する

か否かを判断する第 2 の回路検査ステップと、前記第 2 の回路検査ステップにおいて前記第 2 のデジタル回路と前記第 2 のアナログ回路とがともに仕様通りに動作すると判断した場合に、静電破壊が生じるか否かを前記第 2 のデジタル回路と前記第 2 のアナログ回路に対して判断する第 2 の静電破壊検査ステップとを含む、前記第 2 のパッケージ作成ステップの後に行う第 2 の L S I 検査ステップと、

前記第 1 の L S I 検査ステップにおける前記第 1 の静電破壊検査ステップにおいて、前記第 1 のデジタル回路と前記第 1 のアナログ回路とがともに静電破壊が生じないと判断した場合に、前記第 1 のパッケージ基板を選択する第 1 のパッケージ選択ステップと、

前記第 1 の L S I 検査ステップの前記第 1 の静電破壊検査ステップにおいて前記第 1 のデジタル回路と前記第 1 のアナログ回路との少なくとも一方に静電破壊が生じると判断した場合であって、前記第 2 の L S I 検査ステップの前記第 2 の静電破壊検査ステップにおいて前記第 2 のデジタル回路と前記第 2 のアナログ回路とがともに静電破壊を生じないと判断した場合に、前記第 2 のパッケージ基板を選択する第 2 のパッケージ選択ステップとを備えることを特徴とする半導体集積回路装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、多電源により構成される半導体集積回路において、デジタル回路とアナログ回路との間の静電気放電（E S D）による破壊に対する耐性を向上する半導体集積回路装置に関するものである。

【 0 0 0 2 】

【従来の技術】

近年、L S I チップ技術の進歩に伴いデジタル回路とアナログ回路とを同一半導体チップ内に集積する半導体集積回路が開発されている。このようなデジタル回路とアナログ回路とを混載するデジタル・アナログ混載 L S I チップでは、各回路ごとに複数の電源を外部から供給することによって、アナログ回路が

ディジタル回路から受けるノイズの影響を低減する。また、LSIチップの静電破壊を防止するため、ディジタル回路用の電源とアナログ回路用の電源、およびディジタル回路用のグラウンドとアナログ回路用のグラウンド、それぞれについて完全に分離せず、静電破壊（ESD）を防止する回路（以下、「保護回路」と言う）を介して、ディジタル回路とアナログ回路とを接続する構成がなされている。

【 0 0 0 3 】

図 1 1 は、従来の半導体集積回路 1 0 0 0 の構成例を示す図である。

【 0 0 0 4 】

図 1 1 に示す半導体集積回路 1 0 0 0 は、ディジタル回路 1 0 1 0 とアナログ回路 1 0 5 0 とを有しており、ディジタル回路 1 0 1 0 とアナログ回路 1 0 5 0 とは制御信号線 1 0 8 0 を介して接続されている。

【 0 0 0 5 】

ディジタル回路 1 0 1 0 は、保護回路 1 0 2 2 a、1 0 2 2 b を経由して、パッド部 1 0 2 0 a、1 0 2 0 b からの電気信号を受ける。また、電源パッド部 1 0 2 4 は、保護回路 1 0 2 2 a、1 0 2 2 b にディジタル系の電源 1 0 3 4 を供給する。電源パッド部 1 0 2 5 は、保護回路 1 0 2 2 a、1 0 2 2 b にディジタル系のグラウンド電源 1 0 3 5 を与える。

【 0 0 0 6 】

アナログ回路 1 0 5 0 は、同様に、保護回路 1 0 6 2 a、1 0 6 2 b を経由して、パッド部 1 0 6 0 a、1 0 6 0 b からの電気信号を受ける。また、電源パッド部 1 0 6 4 は、保護回路 1 0 6 2 a、1 0 6 2 b にアナログ系の電源 1 0 7 4 を供給する。電源パッド部 1 0 6 5 は、保護回路 1 0 6 2 a、1 0 6 2 b にアナログ系のグラウンド電源 1 0 7 5 を与える。

【 0 0 0 7 】

図 1 2 は、上記保護回路 1 0 2 2 a、1 0 2 2 b、1 0 6 2 a、1 0 6 2 b の構成例を示す図である。例えば、図 1 2 に示すように、ダイオードを用いて回路を構成することによって、サージ電圧を吸収する。これにより、ディジタル回路 1 0 1 0 に電源を供給する電源パッド部 1 0 2 4 と電気信号をそれぞれ入力する

パッド部 1 0 2 0 a、1 0 2 0 b との間、さらには電源パッド部 1 0 2 5 とパッド部 1 0 2 0 a、1 0 2 0 b との間、同様にアナログ回路 1 0 5 0 に電源を供給する電源パッド部 1 0 6 4 と電気信号を入力するパッド部 1 0 6 0 a、1 0 6 0 b との間、さらには電源パッド部 1 0 6 5 とパッド部 1 0 6 0 a、1 0 6 0 b との間のそれぞれにサージ電圧が混入しても、図 1 2 に示す回路によって電荷がバイパスされ、ディジタル回路 1 0 1 0、アナログ回路 1 0 5 0 の静電破壊を防ぐ。

【 0 0 0 8 】

上述したように、保護回路 1 0 2 2 a および保護回路 1 0 2 2 b、保護回路 1 0 6 2 a および保護回路 1 0 6 2 b は、それぞれディジタル回路 1 0 1 0、アナログ回路 1 0 5 0 に対してのみ機能する。さらに、上記各保護回路 1 0 2 2 a、1 0 2 2 b、1 0 6 2 a、1 0 6 2 b によって電荷がバイパスされることによって、ディジタル回路 1 0 1 0 とアナログ回路 1 0 5 0 との間に静電破壊が生じる場合を考慮して、ディジタル回路 1 0 1 0 とアナログ回路 1 0 5 0 との間に保護回路 1 0 9 0 が接続されている。つまり、ディジタル回路 1 0 1 0 用の電源 1 0 3 4 とアナログ回路 1 0 5 0 用の電源 1 0 7 4、グラウンド電源 1 0 3 5 とグラウンド電源 1 0 7 5 は、それぞれ保護回路 1 0 9 0 を介して接続される。

【 0 0 0 9 】

図 1 3 は、保護回路 1 0 9 0 の構成例を示す図である。例えば、図 1 3 に示すように、ダイオードを用いて回路を構成することによって、ディジタル回路 1 0 1 0 とアナログ回路 1 0 5 0 との間に生じる静電破壊を防止する。なお、保護回路 1 0 9 0 は、ディジタル回路 1 0 1 0 とアナログ回路 1 0 5 0 とを直結することを回避して、ディジタル回路 1 0 1 0 からアナログ回路 1 0 5 0 へのノイズを吸収する機能も果たしている。

【 0 0 1 0 】

なお、保護回路については、上記図 1 2 および図 1 3 に示した構成以外にも多数考案されている（例えば特許文献 1、2 参照）。

【 0 0 1 1 】

図 1 4 は、上記図 1 1 に示した半導体集積回路 1 0 0 0 内のパッド部とパッケ

ージ基板の端子との接続関係の一例を示す図である。

【 0 0 1 2 】

例えば、半導体集積回路 1 0 0 0 内のパッド部 1 0 2 5 は、リード線 1 3 2 7 によって、図 1 4 に示すパッケージ基板 1 3 0 0 上の端子 1 3 2 6 と電氣的に接続される。なお、他のパッド部の接続についても同様になされる。

【 0 0 1 3 】

図 1 5 は、パッケージ基板 1 3 0 0 の端子と外部ピンとの接続関係の一例を示す図である。図 1 5 に示すように、端子 1 3 2 6 は、パッケージ基板 1 3 0 0 の内部において、配線 1 4 2 7 によって、外部ピン 1 4 2 6 と電氣的に接続される。なお、他の端子の接続についても同様になされる。

【 0 0 1 4 】

このようにして、パッケージ基板 1 3 0 0 と半導体集積回路 1 0 0 0 とを接続した後、樹脂 1 4 1 0 等によってパッケージ化され、L S I チップ 1 4 0 0 が形成される。

【 0 0 1 5 】

図 1 6 は、L S I チップ 1 4 0 0 の製造工程を示すフローチャートである。

【 0 0 1 6 】

図 1 6 に示すように、ステップ S T 2 0 0 0 において半導体集積回路 1 0 0 0 を設計した後、ステップ S T 2 0 1 0 に進んで半導体集積回路 1 0 0 0 を製造する。次に、ステップ S T 2 0 2 0 に進んで半導体集積回路 1 0 0 0 とパッケージ基板 1 3 0 0 とを一体化し、L S I チップ 1 4 0 0 とする。

【 0 0 1 7 】

その後、L S I チップ 1 4 0 0 に対して L S I 検査を実施するステップ S T 2 1 0 0 に進む。つまり、L S I 検査を実施するステップ S T 2 1 0 0 では、少なくとも、ディジタル回路 1 0 1 0 とアナログ回路 1 0 5 0 とが仕様通りに動作するか否かを検査するステップ S T 2 1 1 0 と静電破壊を検査するステップ S T 2 1 2 0 とを含む。そして、ステップ S T 2 1 0 0 における L S I 検査の結果、ディジタル回路 1 0 1 0 とアナログ回路 1 0 5 0 とが仕様通りに動作し、静電破壊が生じないことが判明すれば L S I チップ 1 4 0 0 が完成となる。一方、ディジ

タル回路 1 0 1 0 またはアナログ回路 1 0 5 0 が仕様通りに動作しないか、デジタル回路 1 0 1 0 またはアナログ回路 1 0 5 0 に静電破壊が生じないことが判明すれば、ステップ S T 2 0 0 0 に戻って以降のステップを繰り返す。

【 0 0 1 8 】

【特許文献 1】

特開平 1 0 - 5 6 1 3 8 号公報

【特許文献 2】

特開平 1 1 - 2 7 4 4 0 4 号公報

【 0 0 1 9 】

【発明が解決しようとする課題】

しかしながら、上記の通り、保護回路 1 0 9 0 は、デジタル回路 1 0 1 0 で発生するノイズの影響を低減し、かつ E S D に対する耐性を向上する目的で挿入されたものであるが、保護回路 1 0 9 0 におけるサージ電荷の通過時間が長い場合、適切にサージ電圧が放電されない場合が生じる。このとき、デジタル回路 1 0 1 0 とアナログ回路 1 0 5 0 とを結ぶ制御信号線 1 0 8 0 に流れる制御信号を介して高電圧がかかり、デジタル回路 1 0 1 0 またはアナログ回路 1 0 5 0 の制御信号線 1 0 8 0 を接続する部分が破壊する場合が生じる。

【 0 0 2 0 】

このような場合、保護回路 1 0 9 0 におけるサージ電荷の通過時間を短くするためには、保護回路 1 0 9 0 を設計変更することで対処できる。すなわち、上記図 1 6 に示したステップ S T 2 0 0 0 を再度実施することで対処できるが、図 1 6 に示したステップ S T 2 0 1 0 に示す通り半導体集積回路 1 0 0 0 を製造し直す必要がある。半導体集積回路 1 0 0 0 は多数の製造工程を経て製造されるので、半導体集積回路 1 0 0 0 を再度製造するためには少なくとも 1 ヶ月を超える長い期間が必要になる。加えて、製造に必要なマスクのコストは非常に高価である。また、最終的には、L S I チップ 1 4 0 0 に印加されるサージ電圧に対する耐性やノイズの影響を総合的に判断する必要がある、保護回路 1 0 9 0 の設計変更時点においてすべての条件を考慮して、その設計変更を行うことは困難である。このため、設計変更時点において、E S D 耐性が向上し、かつノイズの影響も少

ないといったことを確実に判断できないという問題点がある。

【 0 0 2 1 】

また、このような静電破壊は、L S I チップを運搬する過程、または L S I チップを基板に実装する過程において頻発する。

【 0 0 2 2 】

そこで、本発明の目的は、第 1 に、短期間に安価で、かつ E S D 耐性の向上が可能な半導体集積回路装置を提供することである。また、第 2 に、短期間に安価で、かつ E S D 耐性の向上が可能な半導体集積回路装置の製造方法を提供することである。

【 0 0 2 3 】

【課題を解決するための手段】

上記課題を解決するために、第 1 に、請求項 1 に係る発明は、デジタル回路とアナログ回路とを同一半導体チップ内に集積する半導体集積回路において、前記デジタル回路に接続され、入力されたデジタル信号の影響によって前記デジタル回路に生じる静電破壊を保護する第 1 の静電破壊保護回路と、前記アナログ回路に接続され、入力されたアナログ信号の影響によって前記アナログ回路に生じる静電破壊を保護する第 2 の静電破壊保護回路とを備え、前記第 1 の静電破壊保護回路に接続される第 1 の接地線と、前記第 2 の静電破壊保護回路に接続される第 2 の接地線とは、前記半導体集積回路の外部で接続されているものである。

【 0 0 2 4 】

請求項 1 の発明によると、第 1 の静電破壊保護回路に接続される第 1 の接地線と第 2 の静電破壊保護回路に接続される第 2 の接地線とを半導体集積回路の外部で接続されているため、短期間に安価で、かつ E S D 耐性の向上が可能な半導体集積回路装置を提供することができる。

【 0 0 2 5 】

また、請求項 2 の発明は、請求項 1 に記載の半導体集積回路装置において、前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路のパッケージ基板の内部で接続されているものとする。

【 0 0 2 6 】

請求項 2 の発明によると、短期間に安価で、かつ E S D 耐性の向上が可能な半導体集積回路装置を提供することができる。

【 0 0 2 7 】

また、請求項 3 の発明は、請求項 1 に記載の半導体集積回路装置において、前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路のパッケージ基板の外部で接続されているものとする。

【 0 0 2 8 】

請求項 3 の発明によると、第 1 の接地線と前記第 2 の接地線とを接続するか否かを容易に選択でき、静電破壊に対する耐性の向上とノイズの低減とのトレードオフを図ることができる。

【 0 0 2 9 】

また、請求項 4 の発明は、請求項 1 に記載の半導体集積回路装置において、前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路のパッケージ基板の外部で、容量を介して、接続されているものとする。

【 0 0 3 0 】

請求項 4 の発明によると、容量を任意に設定できるため、静電破壊に対す耐性の向上とノイズの低減とのトレードオフをさらに細かく図ることができる。

【 0 0 3 1 】

また、請求項 5 の発明は、請求項 1 に記載の半導体集積回路装置において、前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路と前記半導体集積回路のパッケージ基板とを電氣的に接続するための部分を介して、接続されているものとする。

【 0 0 3 2 】

請求項 5 の発明によると、パッケージ基板そのものに変更を加えることなく、静電破壊に対する耐性の向上を図ることができる。

【 0 0 3 3 】

また、上記課題を解決するために、第 2 に、請求項 6 に係る発明は、デジタル回路とアナログ回路とを同一半導体チップ内に集積する半導体集積回路におい

て、入力されたデジタル信号の影響によって生じる静電破壊を保護する第 1 の静電破壊保護回路に接続された前記デジタル回路と、入力されたアナログ信号の影響によって前記アナログ回路に生じる静電破壊を保護する第 2 の静電破壊保護回路に接続された前記アナログ回路とが仕様通りに動作するか否かを判断する回路検査ステップと、前記回路検査ステップにおいて、前記デジタル回路と前記アナログ回路とがともに仕様通りに動作すると判断した場合に、静電破壊が生じるか否かを前記デジタル回路と前記アナログ回路とに対して判断する静電破壊検査ステップと、前記静電破壊検査ステップにおいて、前記デジタル回路と前記アナログ回路との少なくとも一方に静電破壊が生じると判断した場合に、前記第 1 の静電破壊保護回路に接続される第 1 の接地線と、前記第 2 の静電破壊保護回路に接続される第 2 の接地線とを、前記半導体集積回路の外部で接続する外部接続ステップとを備えるものである。

【 0 0 3 4 】

請求項 6 の発明によると、第 1 および第 2 の L S I 検査ステップの結果に応じて、第 1 の接地線と第 2 の接地線とを半導体集積回路の外部で接続するため、短期間に安価で、かつ E S D 耐性の向上が可能な半導体集積回路装置の製造方法を提供することができる。

【 0 0 3 5 】

また、請求項 7 の発明は、請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とを、前記半導体集積回路のパッケージ基板の内部で接続するステップであるものとする。

【 0 0 3 6 】

請求項 7 の発明によると、短期間に安価で、かつ E S D 耐性の向上が可能な半導体集積回路装置の製造方法を提供することができる。

【 0 0 3 7 】

また、請求項 8 の発明は、請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とを、前記半導体集積回路のパッケージ基板の外部で接続するステップであるものとする。

る。

【 0 0 3 8 】

請求項 8 の発明によると、第 1 の接地線と前記第 2 の接地線とを接続するか否かを容易に選択でき、静電破壊に対する耐性の向上とノイズの低減とのトレードオフを図ることができる。

【 0 0 3 9 】

また、請求項 9 の発明は、請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とを、前記半導体集積回路のパッケージ基板の外部で、容量を介して、接続するステップであるものとする。

【 0 0 4 0 】

請求項 9 の発明によると、容量を任意に設定すれば、静電破壊に対する耐性の向上とノイズの低減とのトレードオフをさらに細かく図ることができる。

【 0 0 4 1 】

また、請求項 1 0 の発明は、請求項 6 に記載の半導体集積回路装置の製造方法において、前記外部接続ステップは、前記第 1 の接地線と前記第 2 の接地線とは、前記半導体集積回路と前記半導体集積回路のパッケージ基板とを電氣的に接続するための部分を介して、接続するステップであるものとする。

【 0 0 4 2 】

請求項 1 0 の発明によると、パッケージ基板そのものに変更を加えることなく、静電破壊に対する耐性の向上を図ることができる。

【 0 0 4 3 】

また、上記課題を解決するために、第 3 に、請求項 1 1 の発明は、第 1 のデジタル回路と第 1 のアナログ回路とを同一半導体チップ内に集積する第 1 の半導体集積回路のパッケージ基板内部において、入力されたデジタル信号の影響によって前記第 1 のデジタル回路に生じる静電破壊を保護する第 1 の静電破壊保護回路に接続された第 1 の接地線と、入力されたアナログ信号の影響によって前記第 1 のアナログ回路に生じる静電破壊を保護する第 2 の静電破壊保護回路に接続された第 2 の接地線とが接続されない第 1 のパッケージ基板を作成する第 1 の

パッケージ作成ステップと、第 2 のデジタル回路と第 2 のアナログ回路とを同一半導体チップ内に集積する第 2 の半導体集積回路のパッケージ基板内部において、入力されたデジタル信号の影響によって前記第 2 のデジタル回路に生じる静電破壊を保護する第 3 の静電破壊保護回路に接続された第 3 の接地線と、入力されたアナログ信号の影響によって前記第 2 のアナログ回路に生じる静電破壊を保護する第 4 の静電破壊保護回路に接続された第 4 の接地線とが接続された第 2 のパッケージ基板を作成する第 2 のパッケージ作成ステップと、前記第 1 のデジタル回路と前記第 1 のアナログ回路とが仕様通りに動作するか否かを判断する第 1 の回路検査ステップと、前記第 1 の回路検査ステップにおいて前記第 1 のデジタル回路と前記第 1 のアナログ回路とがともに仕様通りに動作すると判断した場合に、静電破壊が生じるか否かを前記第 1 のデジタル回路と前記第 1 のアナログ回路に対して判断する第 1 の静電破壊検査ステップとを含む、前記第 1 のパッケージ作成ステップの後に行う第 1 の L S I 検査ステップと、前記第 2 のデジタル回路と前記第 2 のアナログ回路とが仕様通りに動作するか否かを判断する第 2 の回路検査ステップと、前記第 2 の回路検査ステップにおいて前記第 2 のデジタル回路と前記第 2 のアナログ回路とがともに仕様通りに動作すると判断した場合に、静電破壊が生じるか否かを前記第 2 のデジタル回路と前記第 2 のアナログ回路に対して判断する第 2 の静電破壊検査ステップとを含む、前記第 2 のパッケージ作成ステップの後に行う第 2 の L S I 検査ステップと、前記第 1 の L S I 検査ステップにおける前記第 1 の静電破壊検査ステップにおいて、前記第 1 のデジタル回路と前記第 1 のアナログ回路とがともに静電破壊が生じないと判断した場合に、前記第 1 のパッケージ基板を選択する第 1 のパッケージ選択ステップと、前記第 1 の L S I 検査ステップの前記第 1 の静電破壊検査ステップにおいて前記第 1 のデジタル回路と前記第 1 のアナログ回路との少なくとも一方に静電破壊が生じると判断した場合であって、前記第 2 の L S I 検査ステップの前記第 2 の静電破壊検査ステップにおいて前記第 2 のデジタル回路と前記第 2 のアナログ回路とがともに静電破壊を生じないと判断した場合に、前記第 2 のパッケージ基板を選択する第 2 のパッケージ選択ステップとを備えるものである。

【 0 0 4 4 】

請求項 1 1 の発明によると、L S I 検査に要する時間を短縮し、E S D 耐性の向上が可能な半導体集積回路装置の製造方法を提供することができる。

【 0 0 4 5 】

【発明の実施の形態】

以下、本発明の一実施形態について、図面を参照しながら説明する。

【 0 0 4 6 】

図 1 は、本発明の一実施形態に係る半導体集積回路 1 0 0 0 を説明するため図面である。

【 0 0 4 7 】

図 1 に示す半導体集積回路 1 0 0 0 は、ディジタル回路 1 0 1 0 とアナログ回路 1 0 5 0 とを有しており、ディジタル回路 1 0 1 0 とアナログ回路 1 0 5 0 とは制御信号線 1 0 8 0 を介して接続されている。

【 0 0 4 8 】

ディジタル回路 1 0 1 0 は、保護回路 1 0 2 2 a、1 0 2 2 b（それぞれ第 1 の静電破壊保護回路に対応する）を経由して、パッド部 1 0 2 0 a、1 0 2 0 b からの電気信号を受ける。また、電源パッド部 1 0 2 4 は、保護回路 1 0 2 2 a、1 0 2 2 b にディジタル系の電源 1 0 3 4 を供給する。電源パッド部 1 0 2 5 は、保護回路 1 0 2 2 a、1 0 2 2 b にディジタル系のグラウンド電源 1 0 3 5 を与える。

【 0 0 4 9 】

また、アナログ回路 1 0 5 0 は、同様に、保護回路 1 0 6 2 a、1 0 6 2 b（それぞれ第 2 の静電破壊保護回路に対応する）を経由して、パッド部 1 0 6 0 a、1 0 6 0 b からの電気信号を受ける。また、電源パッド部 1 0 6 4 は、保護回路 1 0 6 2 a、1 0 6 2 b にアナログ系の電源 1 0 7 4 を供給する。電源パッド部 1 0 6 5 は、保護回路 1 0 6 2 a、1 0 6 2 b にアナログ系のグラウンド電源 1 0 7 5 を与える。

【 0 0 5 0 】

図 1 に示した半導体集積回路 1 0 0 0 が、上記従来の図 1 1 に示した半導体集

積回路 1 0 0 0 と異なるのは、デジタル系のグラウンド電源 1 0 3 5 が供給される配線（第 1 の接地線に対応する）とアナログ系のグラウンド電源 1 0 7 5 が供給される配線（第 2 の接地線に対応する）とを、電源パッド部 1 0 2 5 と電源パッド部 1 0 6 5 とを介して、半導体集積回路 1 0 0 0 の外部で導体 1 0 0 を用いて、電氣的に接続している点である。これにより、保護回路 1 0 9 0 におけるサージ電荷の通過時間を短縮し、静電気を適切に放電することができる。

【 0 0 5 1 】

なお、この場合、デジタル系のグラウンド電源 1 0 2 5 が供給される配線とアナログ系のグラウンド電源 1 0 7 5 が供給される配線とを接続するため、デジタル回路 1 0 1 0 で発生するノイズがアナログ回路に侵入することが懸念される。しかしながら、一般的に、半導体集積回路 1 0 0 0 の外部の配線容量は、半導体集積回路 1 0 0 0 内部の配線容量に比べて 1 0 0 0 倍程度の大きさになるため、デジタル回路 1 0 1 0 で発生するノイズがアナログ回路 1 0 5 0 に影響を及ぼすことはほとんどない。

【 0 0 5 2 】

以下では、デジタル系のグラウンド電源 1 0 3 5 が供給される配線とアナログ系のグラウンド電源 1 0 7 5 が供給される配線とを、半導体集積回路 1 0 0 0 の外部で接続する形態例について説明する。

【 0 0 5 3 】

< 接続の形態例 (1) >

図 2 は、パッケージ基板 2 1 0 内部で接続する形態を説明するための L S I チップ 2 0 0 を示す図である。

【 0 0 5 4 】

図 2 に示す L S I チップ 2 0 0 は、上記半導体集積回路 1 0 0 0 と、パッケージ基板 2 1 0 と、封入材 2 1 2 とを備えている。また、端子 2 2 6 および端子 2 6 6 はパッケージ基板 2 1 0 上に構成される端子である。端子 2 2 6 は半導体集積回路 1 0 0 0 内の電源パッド部 1 0 2 5、すなわちデジタル系のグラウンド電源 1 0 3 5 が供給される配線と接続される。端子 2 6 6 は半導体集積回路 1 0 0 0 内の電源パッド部 1 0 6 5、すなわちアナログ系のグラウンド電源 1 0 7 5

が供給される配線と接続される。そして、端子 2 2 6、端子 2 6 6 は、それぞれ配線 2 2 7、配線 2 6 7 を介して、それぞれ L S I チップ 2 0 0 の外部ピン 2 2 8、外部ピン 2 6 8 と接続される。

【 0 0 5 5 】

そして、ディジタル系のグラウンド電源 1 0 3 5 を与える電源パッド部 1 0 2 5 とアナログ系のグラウンド電源 1 0 7 5 を与える電源パッド部 1 0 6 5 との接続は、配線 2 2 7 と配線 2 6 7 とをパッケージ基板 2 1 0 の内部において、配線 2 8 0 によって接続する。

【 0 0 5 6 】

また、パッケージ基板 2 1 0 が複数の層から構成されている場合について説明する。

【 0 0 5 7 】

図 3 はパッケージ基板 2 1 0 の複数の基板層のうち、ある層を模式的に示す図である。すなわち、図 3 は、図 2 に示す断面 L 1 と L 2 とに依じて切り出した図であり、図 3 に示すように配線 2 2 7 と配線 2 6 7 とが形成される層 3 1 0 において、配線 2 8 0 によって接続する。なお、図 3 では、理解を容易にするため配線層などを直線的に示して単純化しているが、具体的な接続においては種々の要素を考慮して、配線パターンとして都合の良い位置で接続が行われることは言うまでもない。

【 0 0 5 8 】

< 接続の形態例 (2) >

図 4 は、パッケージ基板 2 1 0 の外部で接続する形態を説明するための L S I チップ 4 0 0 を示す図である。

【 0 0 5 9 】

図 4 に示す L S I チップ 4 0 0 は、上記半導体集積回路 1 0 0 0 と、パッケージ基板 4 1 0 と、封入剤 2 1 2 とを備えている。半導体集積回路 1 0 0 0 のディジタル系のグラウンド電源 1 0 3 5 が供給される配線に接続される配線 4 2 7 とアナログ系のグラウンド電源 1 0 7 5 が供給される配線に接続される配線 4 6 7 とをパッケージ基板 4 1 0 の外部に出力し、L S I チップ 4 0 0 の裏面において

、配線 4 8 0 によって接続する。

【 0 0 6 0 】

図 5 は、L S I チップ 4 0 0 の裏面を示す図である。すなわち、配線 4 2 7 の接続部と配線 4 6 7 の接続部とを配線 4 8 0 によって電氣的に接続する。

【 0 0 6 1 】

これにより、外部において、配線 4 8 0 を用いた上記接続を行うか否かを選択することができるので、L S I チップ 4 0 0 の完成後に E S D 耐圧の強化とノイズの低減とのトレードオフを図ることができる。

【 0 0 6 2 】

< 接続の形態例 (3) >

図 6 は、パッケージ基板 4 1 0 の外部で容量を用いて接続する形態を説明するための L S I チップ 4 0 0 を示す図である。

【 0 0 6 3 】

図 6 に示す L S I チップ 4 0 0 は、図 4 に示した L S I チップ 4 0 0 の場合と同様に、グラウンド電源 1 0 3 5 が供給される配線に接続される配線 4 2 7 とグラウンド電源 1 0 7 5 が供給される配線に接続される配線 4 6 7 とをパッケージ基板 4 1 0 の外部に出力し、L S I チップ 4 0 0 の裏面において接続するものであるが、図 4 と異なるのは、配線 4 2 7 と配線 4 6 7 とを、配線 4 8 0 ではなくコンデンサー 6 8 0 を用いて接続する点である。

【 0 0 6 4 】

図 7 は、パッケージ基板 4 0 0 の裏面を示す図である。すなわち、配線 4 2 7 の接続部と配線 4 6 7 の接続部とをコンデンサー 6 8 0 を用いて接続する。

【 0 0 6 5 】

これにより、外部において、コンデンサー 6 8 0 を用いた上記接続において、コンデンサーの容量を任意に選択することができるので、L S I チップ 4 0 0 の完成後に E S D 耐圧の強化とノイズの低減とのトレードオフをさらに細かく調整することができる。

【 0 0 6 6 】

< 接続の形態例 (4) >

図 8 は、外部において、リード線を用いて接続する形態を説明するための L S I チップ 4 0 0 を示す図である。

【 0 0 6 7 】

半導体集積回路 1 0 0 0 のデジタル系のグラウンド電源 1 0 3 5 が供給される配線に接続される電源パッド部 1 0 2 5 とアナログ系のグラウンド電源 1 0 7 5 が供給される配線に接続される電源パッド部 1 0 6 5 との接続は、リード線 8 8 0 を用いてパッケージ基板 1 3 0 0 上の端子 1 3 2 6 と電源パッド部 1 0 6 5 とを接続する。なお、ここでは、端子 1 3 2 6 と電源パッド部 1 0 6 5 との間をリード線を用いて接続する場合を説明したが、端子 1 3 6 6 と電源パッド部 1 0 2 5 との間をリード線を用いて接続する場合であっても、同様に実施可能であることは言うまでもない。なお、これらのリード線を用いた接続は、その接続距離が近い方が望ましい。

【 0 0 6 8 】

これにより、上記図 2 と図 3 で示したようにパッケージ基板の変更を加えることなく、E S D 耐圧を高めることができる。

【 0 0 6 9 】

以下に、本実施形態の変形例として、上記半導体集積回路装置の製造方法について説明する。

【 0 0 7 0 】

＜半導体集積回路装置の製造方法（１）＞

図 9 は、本発明の本実施形態の変形例に係る半導体集積回路装置の製造方法を説明するためのフローチャートである。

【 0 0 7 1 】

まず、ステップ S T 2 0 0 0 において半導体集積回路 1 0 0 0 を設計した後、ステップ S T 2 0 1 0 に進んで半導体集積回路 1 0 0 0 を製造する。次に、ステップ S T 2 0 2 0 において、半導体集積回路 1 0 0 0 とパッケージ基板 1 3 0 0 とを一体化すると、例えば図 1 4 に示す L S I チップ 1 4 0 0 となる。そして、L S I 検査を行うステップ S T 2 1 0 0 に進む。

【 0 0 7 2 】

L S I 検査を行うステップ S T 2 1 0 0 は、少なくとも、デジタル回路 1 0 1 0 およびアナログ回路 1 0 5 0 の動作を検査するステップ S T 2 1 0 0（回路検査ステップに対応する）と静電破壊を検査するステップ S T 2 1 2 0（静電破壊検査ステップに対応する）とを含む。

【 0 0 7 3 】

デジタル回路 1 0 1 0 およびアナログ回路 1 0 5 0 の動作を検査するステップ S T 2 1 0 0 において、仕様通りにその動作が行われるか否かを判断する。仕様通りに動作が行われる場合（ステップ S T 2 1 1 0 で Y E S）は、ステップ S T 2 1 2 0 に進み、仕様通りに動作が行われない場合（ステップ S T 2 1 1 0 で N O）は、ステップ S T 2 0 0 0 に戻って再度半導体集積回路の設計からやり直す。

【 0 0 7 4 】

次に、静電破壊を検査するステップ S T 2 1 2 0 は例えば以下の態様で行われる。

【 0 0 7 5 】

まず、例えば、図 1 5 に示した外部ピン 1 4 2 6 および外部ピン 1 4 6 8 を接地レベル（電位 0）に固定し、それ以外の外部ピンに順次高電圧を印加する。印加し終わった L S I チップ 1 4 0 0 について動作検査を実施し、正常動作を行えば静電破壊が生じていないと判断する（ステップ S T 2 1 2 0 で Y E S）。一方、正常動作を行わないならば、すなわち静電破壊が生じた場合（ステップ S T 2 1 2 0 で N O）、には、ステップ S T 2 2 0 0 に進む。

【 0 0 7 6 】

ステップ S T 2 2 0 0 において、デジタル系のグラウンド電源 1 0 3 5 を与える電源パッド部 1 0 2 5 とアナログ系のグラウンド電源 1 0 7 5 を与える電源パッド部 1 0 6 5 とを半導体集積回路 1 0 0 0 の外部で電氣的に接続する（外部接続ステップに対応する）。なお、その接続態様については、上記で説明した通りである。

【 0 0 7 7 】

その後、ステップ S T 2 0 2 0 に戻って、上記ステップ S T 2 2 0 0 の処理を

終えた半導体集積回路 1 0 0 0 とパッケージ基板とを一体化し、ステップ S T 2 1 0 0 の L S I 検査を実施し、デジタル回路 1 0 1 0 およびアナログ回路 1 0 5 0 が仕様通りに動作し、静電破壊が生じないと判断できると完成となる。

【 0 0 7 8 】

以上の説明から明らかなように、ステップ S T 2 1 2 0 で静電破壊が生じた場合でも、半導体集積回路 1 0 0 0 の設計および製造の工程（ステップ S T 2 0 0 0 およびステップ S T 2 0 1 0）を省略することができるので、少ない期間で L S I チップ 1 4 0 0 を完成することができる。

【 0 0 7 9 】

＜半導体集積回路装置の製造方法（２）＞

次に、半導体集積回路装置の別の製造方法について説明する。

【 0 0 8 0 】

図 1 0 は、半導体集積回路装置の別の製造方法を説明するためのフローチャートである。

【 0 0 8 1 】

図 1 0 に示す製造方法においては、まず上記図 9 と同様に、ステップ S T 2 0 0 0 とステップ S T 2 0 1 0 における動作を行う。そして、本製造方法では、ステップ S T 2 4 0 0 に進む。

【 0 0 8 2 】

ステップ S T 2 4 0 0 は、第 1 のパッケージ作成ステップ（ステップ S T 2 0 2 0）と第 2 のパッケージ作成ステップ（ステップ S T 2 2 0 5 およびステップ S T 2 0 2 5）とを含む。

【 0 0 8 3 】

第 1 のパッケージ作成ステップ（ステップ S T 2 0 2 0）は、グラウンド電源 1 0 3 5 が供給される配線（ここでは、第 1 の接地線に対応する）とグラウンド電源 1 0 7 5 A が供給される配線（ここでは、第 2 の接地線に対応する）とを接続しない半導体集積回路 1 0 0 0 とパッケージ基板とを一体化するステップである。

【 0 0 8 4 】

また、第2のパッケージ作成ステップ（ステップST2205およびステップST2025）は、まず、ディジタル系のグラウンド電源1035が供給される配線（ここでは、第3の接地線に対応する）とアナログ系のグラウンド電源1075が供給される配線（ここでは、第4の接地線に対応する）とを、グラウンド電源1035、1075をそれぞれ与える電源パッド部1025、電源パッド部1065を介して、半導体集積回路1000の外部で電氣的に接続する（ステップST2205）。そして、このように外部で電氣的に接続された半導体集積回路1000とパッケージ基板とを一体化（ステップST2025）するステップである。なお、その接続態様については、上記で説明した通りである。

【0085】

具体的には、ステップST2400のステップST2020においてグラウンド電源1035が供給される配線とグラウンド電源1075が供給される配線とを外部で電氣的に接続しない半導体集積回路1000とパッケージ基板とを一体化するとともに、ステップST2400のステップST2025においてグラウンド電源1035が供給される配線とグラウンド電源1075が供給される配線とを外部で電氣的に接続した半導体集積回路1000とパッケージ基板とを一体化する。その後、ステップST2500に進む。

【0086】

ステップST2500は、第1のLSI検査ステップ（ステップST2100）と第2のLSI検査ステップ（ステップST2105）とを行って、その次に進むステップを決定する。なお、ステップST2100およびステップST2105は、上記と同様のLSI検査を行う。

【0087】

具体的には、まず、ステップS500におけるステップST2100での第1のLSI検査の結果、正常であると判断された場合（つまり、ディジタル回路1010（ここでは、第1のディジタル回路に対応する）およびアナログ回路1050（ここでは、第1のアナログ回路に対応する）の検査（ここでは、第1の回路検査ステップに対応する）と、静電破壊の検査（ここでは、第1の静電破壊検査ステップに対応する）とがともに正常の場合）は、ステップST2105での

第2のLSI検査の結果によらずにステップST2301に進む。そして、ステップST2301において、デジタル系のグラウンド電源1035を与える電源パッド部1025とアナログ系のグラウンド電源1075を与える電源パッド部1065とを半導体集積回路1000の外部で電氣的に接続しないパッケージ基板を選択する（第1のパッケージ選択ステップに対応する）。

【0088】

また、上記ステップST2100における第1のLSI検査の結果、正常でないと判断された場合（つまり、デジタル回路1010およびアナログ回路1050の検査では正常で、静電破壊の検査では正常でない場合）であって、ステップST2105における第2のLSI検査の結果、正常であると判断された場合（つまり、デジタル回路1010（ここでは、第2のデジタル回路に対応する）およびアナログ回路1050（ここでは、第2のアナログ回路に対応する）の検査（ここでは、第2の回路検査ステップに対応する）と静電破壊の検査（ここでは、第2の静電破壊検査ステップに対応する）とがともに正常の場合）は、ステップST2302に進む。そして、ステップST2302において、デジタル系のグラウンド電源1035を与える電源パッド部1025とアナログ系のグラウンド電源1075を与える電源パッド部1065とを半導体集積回路1000の外部で電氣的に接続したパッケージ基板を選択する（第2のパッケージ選択ステップに対応する）。

【0089】

また、ステップST2500におけるステップST2100およびステップST2105における第1および第2のLSI検査の結果、上記以外の場合（つまり、第1の回路検査ステップまたは第2の回路検査ステップで正常でない場合と、第1の回路検査ステップで正常で第1の静電破壊検査ステップで正常でない場合であって第2の回路検査ステップで正常で第2の静電破壊検査ステップで正常でない場合）は、再度ステップST2000に戻って、半導体集積回路1000の設計からやり直す。

【0090】

以上のように図10に示した半導体集積回路装置の製造方法では、上記図9に

示した製造方法に比べて、図 9 に示したステップ S T 2 2 0 0 の後に行う再度の L S I 検査（ステップ S T 2 1 0 0）に要する期間を削減することができる。

【 0 0 9 1 】

なお、以上の各実施形態では、図 2 ～図 8 を用いてパッケージ基板の内部、外部において、さらにリード線を用いてデジタル系のグラウンド電源 1 0 3 5 が供給される配線とアナログ系のグラウンド電源 1 0 7 5 が供給される配線とを接続する場合について説明したが、接続部、端子、パッド部の形状については図示したもの限定されるものではないといえる。また、パッド部等の物理的な位置も本実施例に限定されるものではない。

【 0 0 9 2 】

また、L S I チップの外部端子がパッケージ基板の裏面にある場合について説明したが、側面にある場合でも同様に実施可能である。そして、図 3 および図 5 では、その裏面において、配線やコンデンサーを用いて接続する場合について説明したが、同様に側面において接続する場合でも同様に実施可能である。さらに、図 3 や図 5 の場合に、その表面においても同様に実施することも不可能ではない。

【 0 0 9 3 】

【発明の効果】

上記のように、デジタル回路とアナログ回路とを同一半導体チップ内に集積する半導体集積回路において、デジタル回路とアナログ回路の保護回路にそれぞれ接続される接地線とを、半導体集積回路の外部で接続する。これにより、短時間に安価で、かつ確実に E S D 耐性を向上することができる。

【図面の簡単な説明】

【図 1】 本発明の本実施形態における半導体集積回路を説明するための図である。

【図 2】 パッケージ基板 2 1 0 内部で接続する形態を説明するための L S I チップ 2 0 0 を示す図である。

【図 3】 パッケージ基板 2 1 0 の複数の層のうちのある層を模式的に示す図である。

【図 4】 パッケージ基板 2 1 0 の外部で接続する形態を説明するための L S I チップ 4 0 0 を示す図である。

【図 5】 L S I チップ 4 0 0 の裏面を示す図である。

【図 6】 パッケージ基板 4 1 0 の外部で容量を用いて接続する形態を説明するための L S I チップ 4 0 0 を示す図である。

【図 7】 パッケージ基板 4 0 0 の裏面を示す図である。

【図 8】 外部において、リード線を用いて接続する形態を説明するための L S I チップ 4 0 0 を示す図である。

【図 9】 本実施形態の変形例に係る半導体集積回路装置の製造方法を説明するためのフローチャートである。

【図 1 0】 半導体集積回路装置の別の製造方法を説明するためのフローチャートである。

【図 1 1】 従来の半導体集積回路 1 0 0 0 の構成例を示す図である。

【図 1 2】 【図 1 3】 保護回路の一例を示す図である。

【図 1 4】 半導体集積回路 1 0 0 0 内のパッド部とパッケージ基板の端子との接続関係を説明する図である。

【図 1 5】 パッケージ基板の端子と外部ピンとの接続関係を説明する図である。

【図 1 6】 従来の L S I チップ 1 4 0 0 の製造方法を説明するためのフローチャートである。

【符号の説明】

1 0 0 0 半導体集積回路

1 0 1 0 デジタル回路

1 0 5 0 アナログ回路

1 0 8 0 制御信号線

1 0 2 2 a、1 0 2 2 b、1 0 6 2 a、1 0 6 2 b、1 0 9 0 保護回路

1 0 2 0 a、1 0 2 0 b、1 0 6 0 a、1 0 6 0 b パッド部

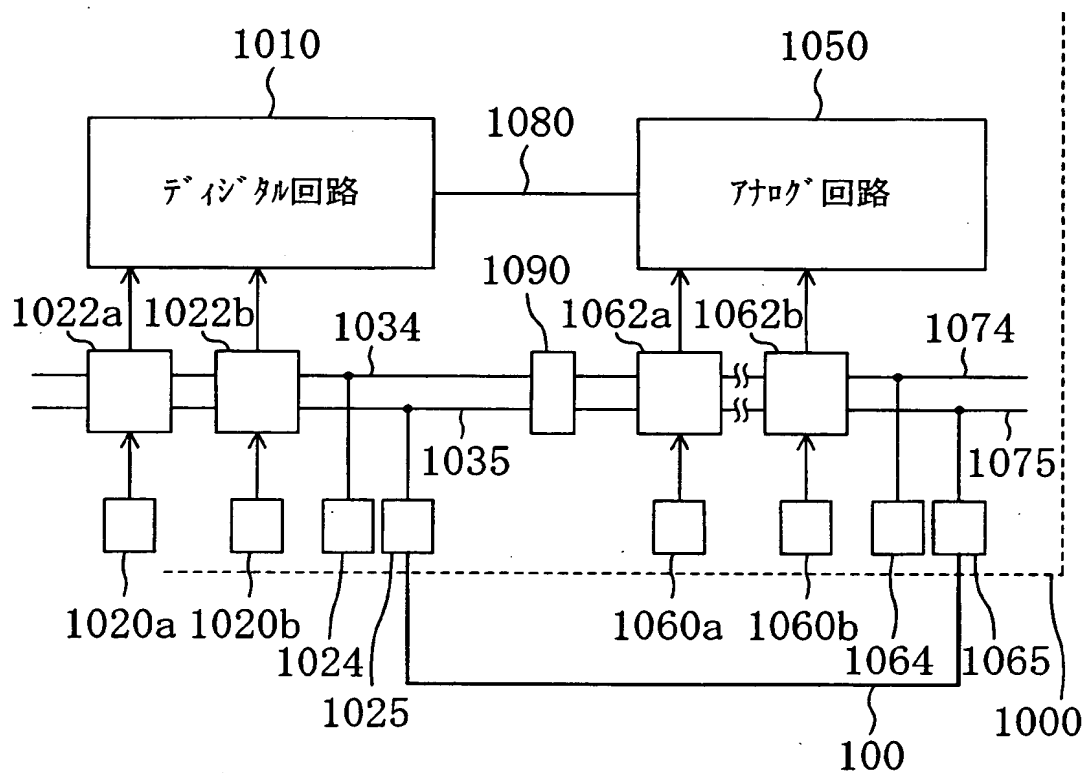
1 0 2 4、1 0 2 5、1 0 6 4、1 0 6 5 電源パッド部

1 0 0、2 2 7、2 6 7、2 8 0、4 2 7、4 6 7、4 8 0、8 8 0 配線

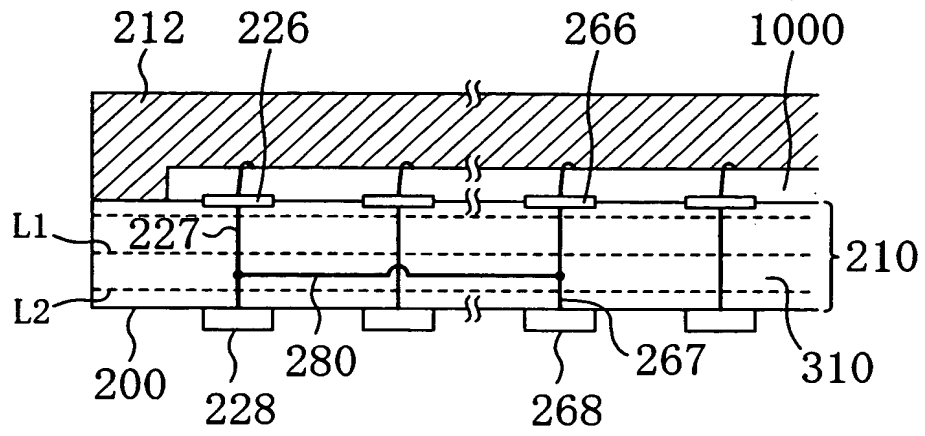
- 1 0 3 4 デジタル系電源
- 1 0 7 4 アナログ系電源
- 1 0 3 5 デジタル系のグラウンド電源
- 1 0 7 5 アナログ系のグラウンド電源
- 2 2 6、2 6 6 端子
- 2 1 2 封入材
- 2 1 0、4 1 0 パッケージ基板
- 2 2 8、2 6 8 外部端子
- 2 0 0、4 0 0 L S I チップ
- 3 1 0 基板層
- 6 8 0 コンデンサー
- S T 2 1 1 0 デジタル回路とアナログ回路の検査（回路検査ステップ）
- S T 2 1 2 0 静電破壊の検査（静電破壊検査ステップ）
- S T 2 2 0 0 グラウンド配線を外部で接続（外部接続ステップ）
- S T 2 4 0 0 第 1 のパッケージ作成ステップと第 2 のパッケージ作成ステップ
とを行う
- S T 2 0 2 0 第 1 のパッケージ作成ステップ
- S T 2 2 0 5 グラウンド配線を外部で接続（第 2 のパッケージ作成ステップに
含まれる）
- S T 2 0 2 5 半導体集積回路とパッケージ基板とを一体化（第 2 のパッケージ
作成ステップに含まれる）
- S T 2 5 0 0 第 1 の L S I 検査ステップと第 2 の L S I 検査ステップとを行っ
て判断する
- S T 2 1 0 0 第 1 の L S I 検査ステップ
- S T 2 1 0 5 第 2 の L S I 検査ステップ
- S T 2 3 0 1 外部で接続しないパッケージを選択（第 1 のパッケージ選択ステ
ップ）
- S T 2 3 0 2 外部で接続したパッケージを選択（第 2 のパッケージ選択ステッ
プ）

【書類名】 図面

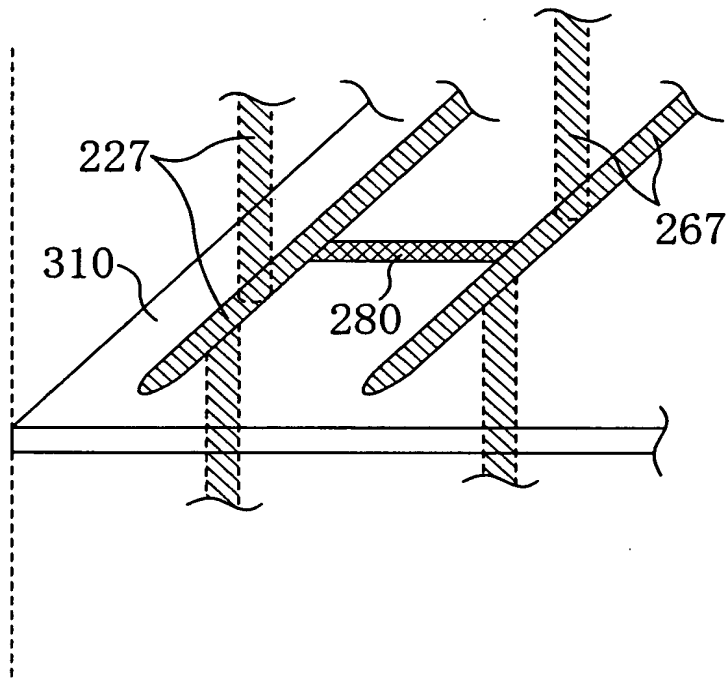
【図 1】



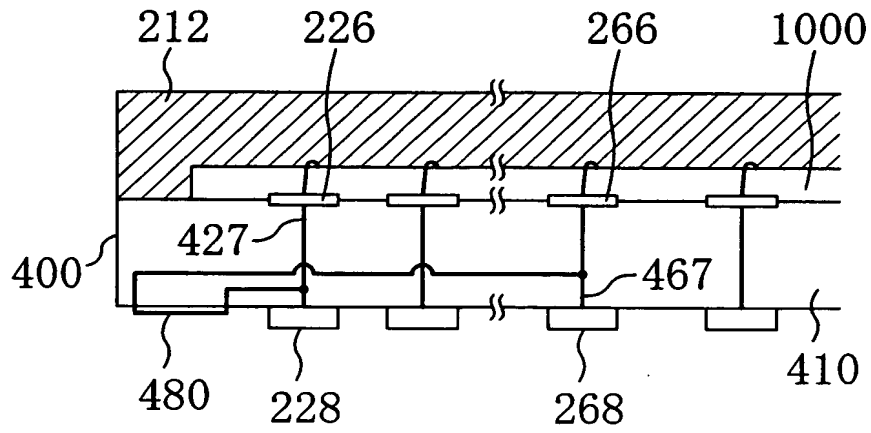
【図 2】



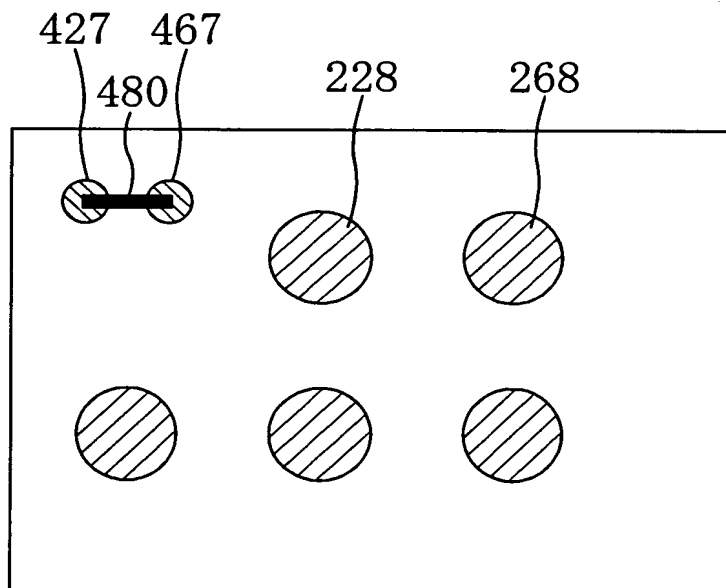
【図 3】



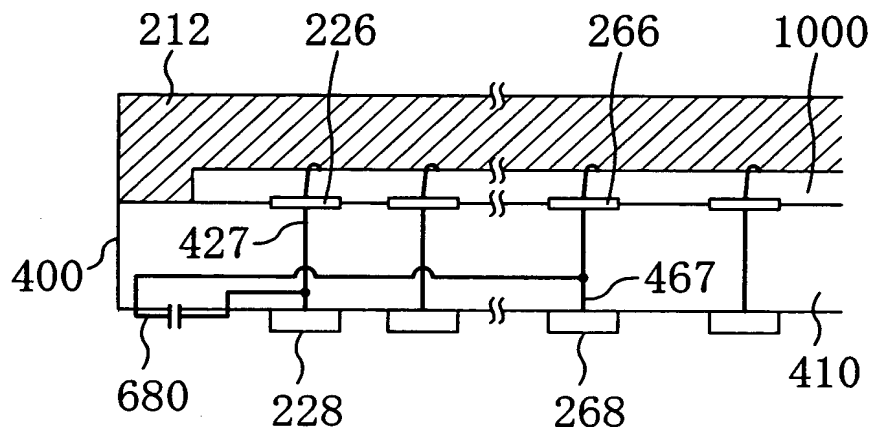
【図 4】



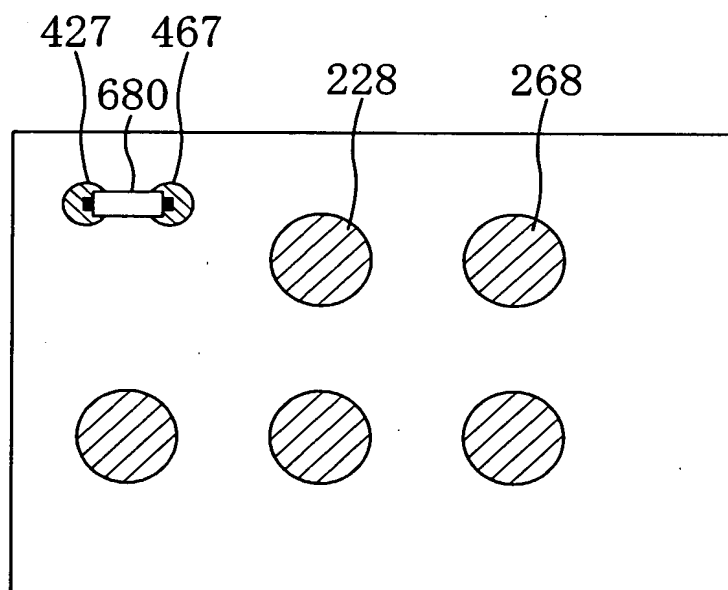
【図 5】



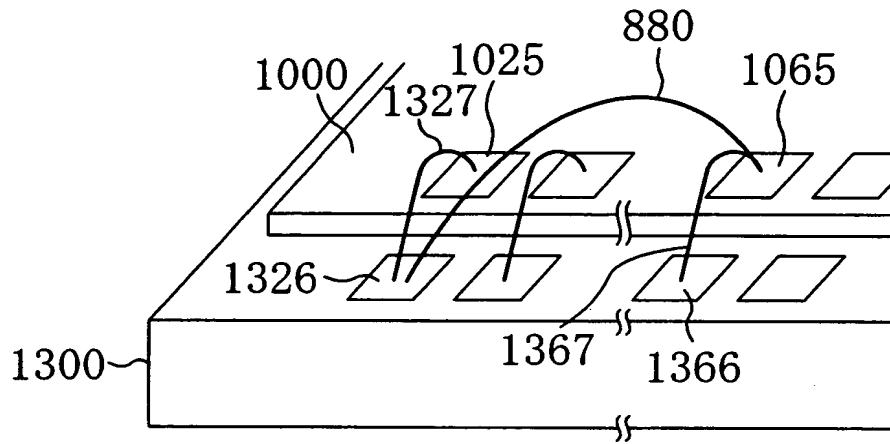
【図 6】



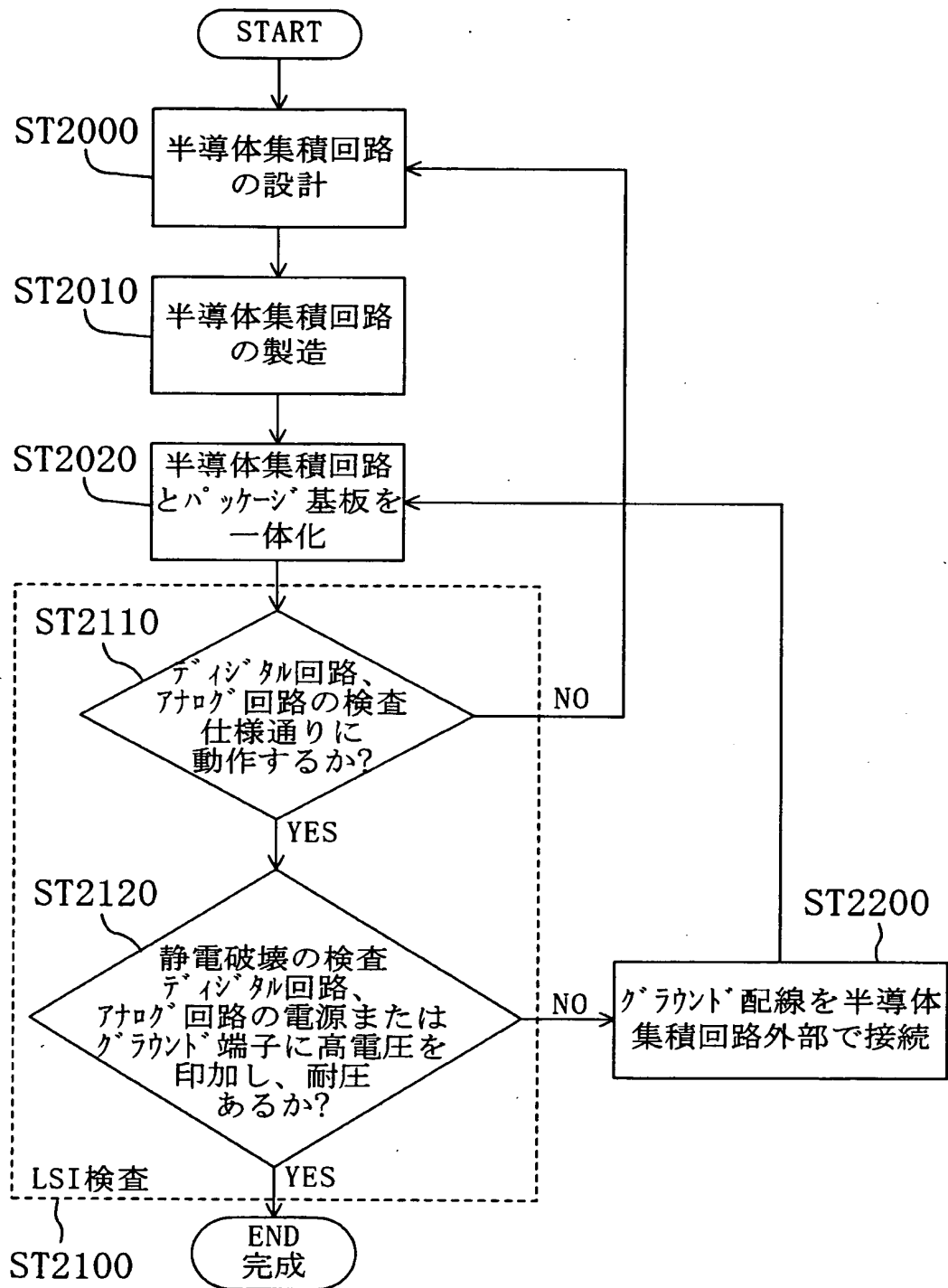
【図 7】



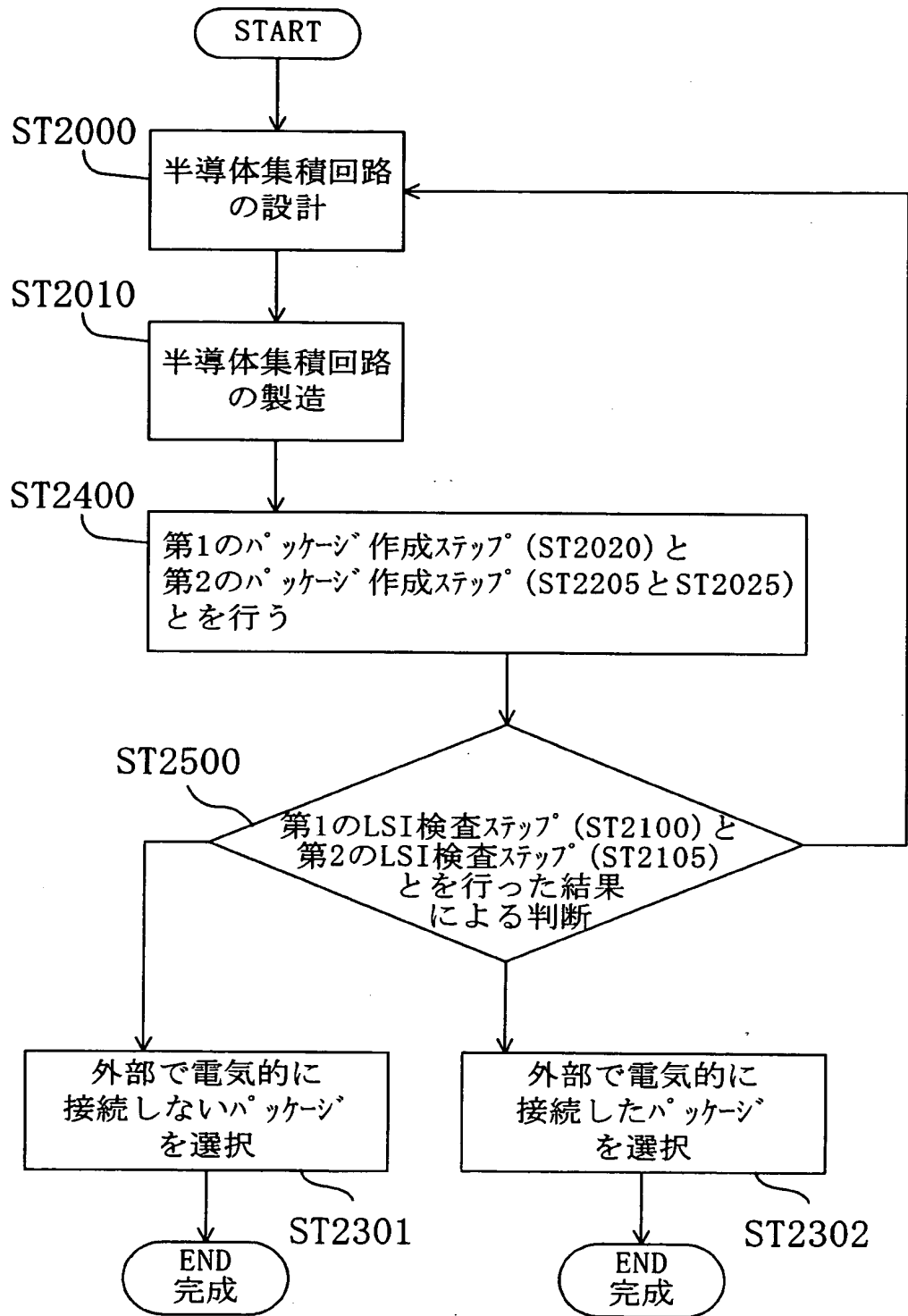
【図 8】



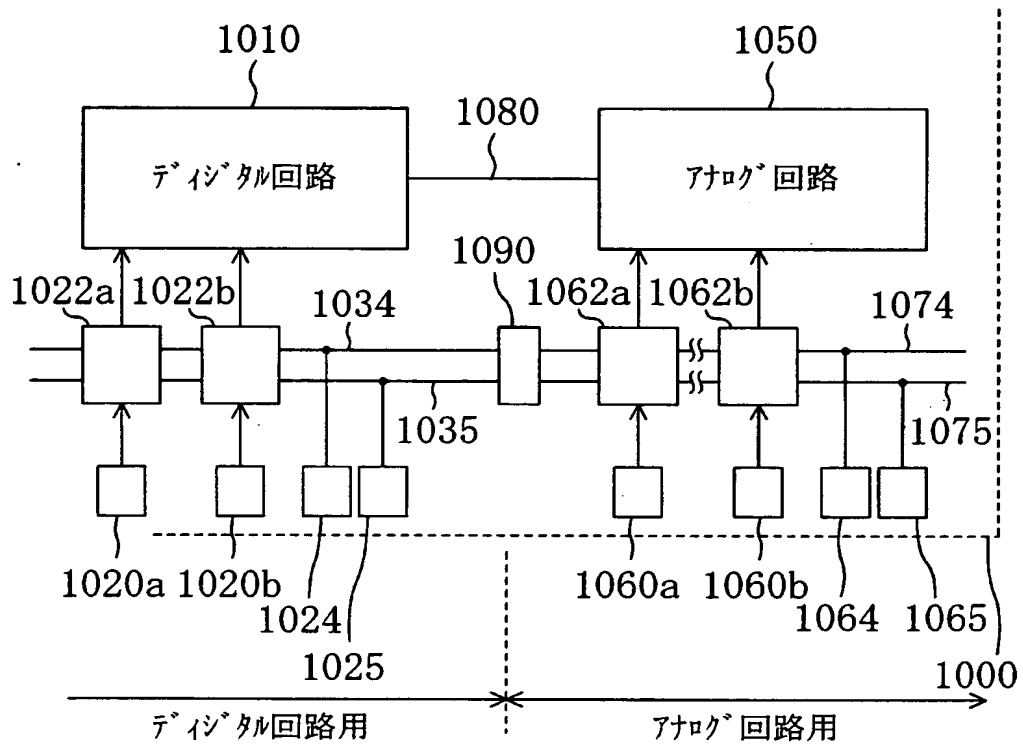
【図9】



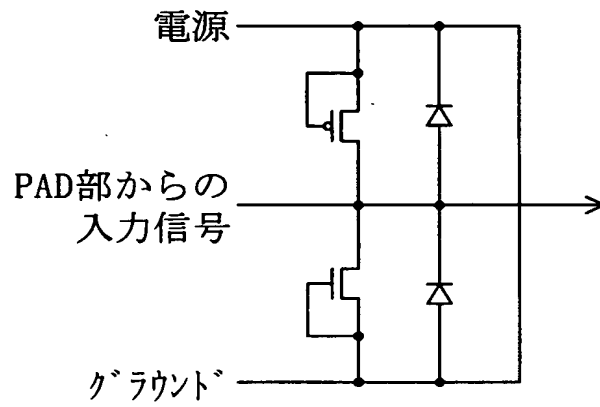
【図 1 0】



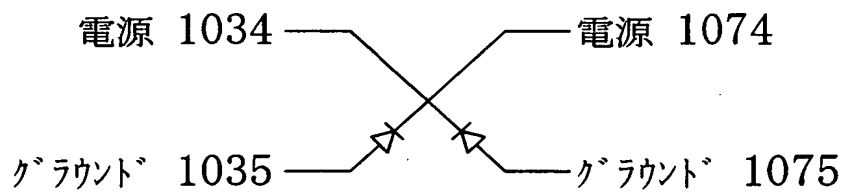
【図 1 1】



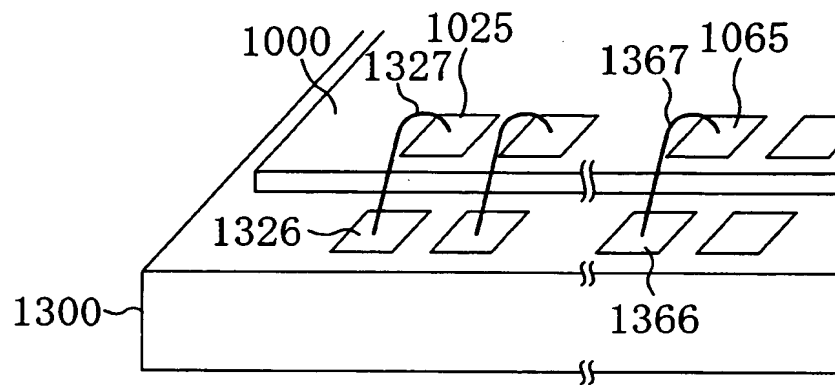
【図 1 2】



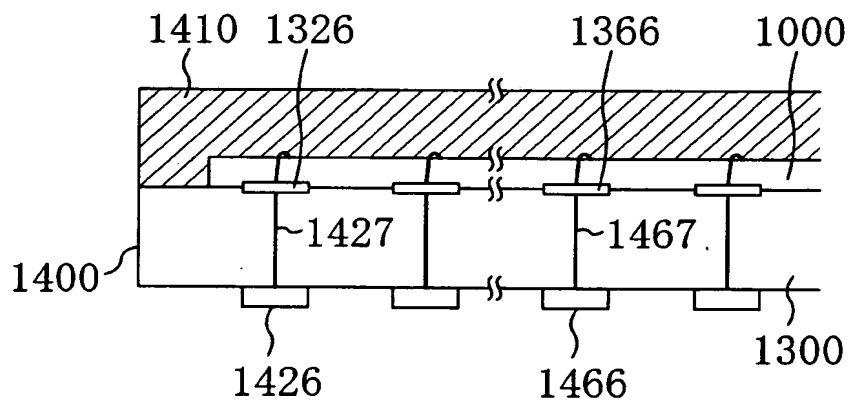
【図 1 3】



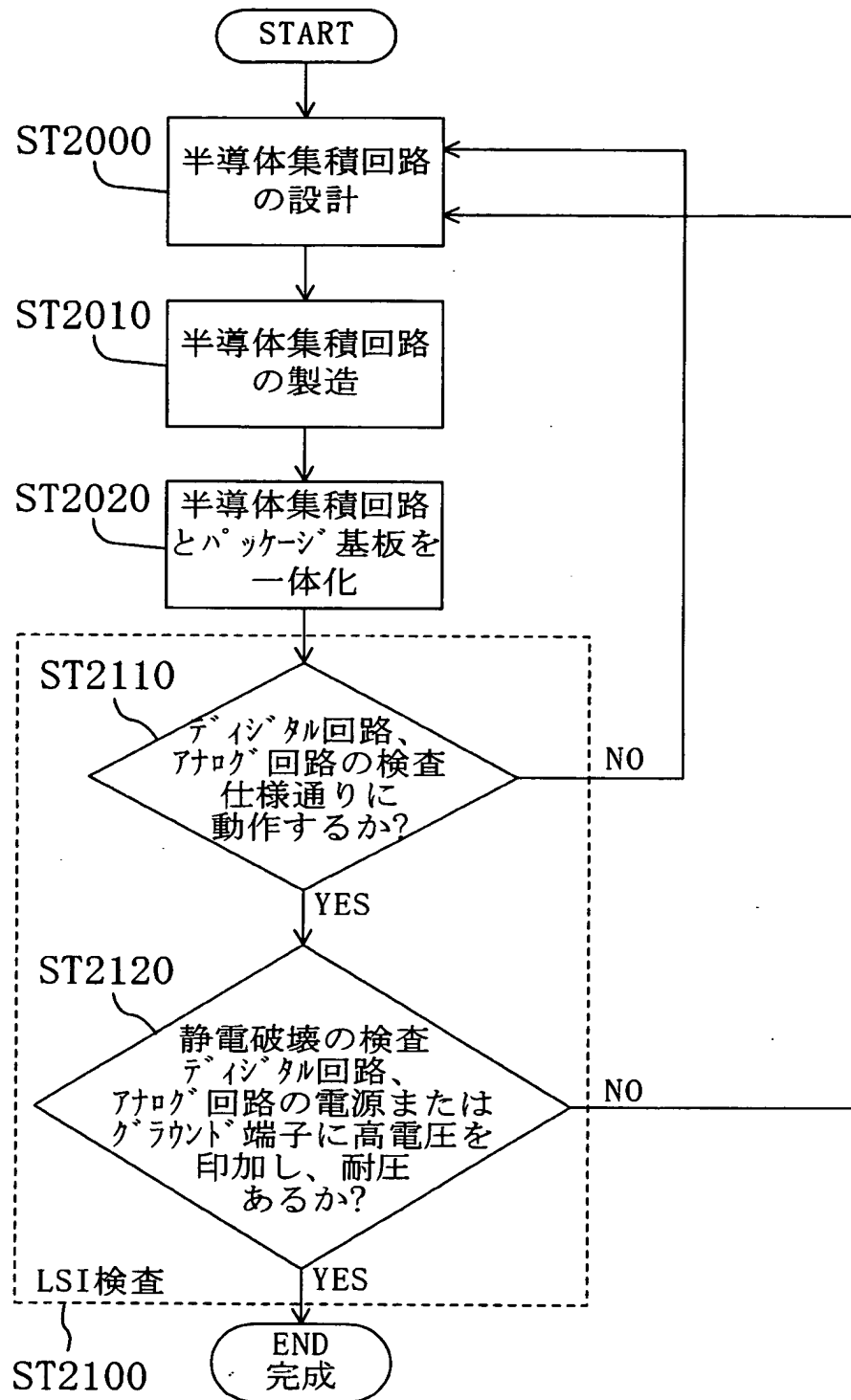
【図 1 4】



【図 1 5】



【図 16】



【書類名】 要約書

【要約】

【課題】 デジタル回路とアナログ回路を同一半導体チップ上に集積する半導体集積回路において短期間に安価で、かつ確実にESD耐性を向上する。

【解決手段】 本発明の半導体集積回路装置は、デジタル回路（1010）とアナログ回路（1050）とを同一半導体チップ内に集積する半導体集積回路（1000）において、デジタル回路（1010）に接続され静電破壊を保護する静電破壊保護回路（1022a、1022b）と、アナログ回路（1050）に接続され静電破壊を保護する静電破壊保護回路（1062a、1062b）とを備える。そして、静電破壊保護回路（1022a、1022b）に接続されるグラウンド電源（1035）が供給される配線と、静電破壊保護回路（1062a、1062b）に接続されるグラウンド電源（10375）が供給される配線とは、半導体集積回路（1000）の外部で接続されている。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社